

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124331

(43)Date of publication of application : 25.04.2003

(51)Int.Cl. H01L 21/822
H01L 23/50
H01L 23/52
H01L 27/04

(21)Application number : 2001-318367 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.10.2001 (72)Inventor : SAITOU HISAMI
SAKAI SHUICHI
YOSHII IKUO
HARA KENJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To protect a circuit from being deteriorated in performance or broken down due to a current or a voltage generated by electrostatic discharge.

SOLUTION: A semiconductor integrated circuit device comprises a first chip 12a and a second chip 12b independent from the first chip 12a electrically. Pads 15a and 15b are arranged on the first and second chips 12a and 12b respectively and connected with GND pins. Pads 23a and 23b connected with the pads 15a respectively by a bonding wire 24 for connecting the pads 23a and 23b and protective circuits 22a and 22b disposed between the pads 15a and 23a and between the pads 15b and 23b respectively.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor integrated circuit device comprising:

It is a semiconductor integrated circuit device which carries two or more chips in one envelope and is the 1st chip.

Said 1st chip and the 2nd chip arranged independently electrically.

The 1st pad that is arranged on said 1st chip and connected to the 1st GND pin.

The 2nd pad that is arranged on said 1st chip and connects with said 1st padThe 3rd pad that is arranged on said 2nd chip and connected to the 2nd GND pinA protection circuit which has been arranged on said 2nd chip and has been arranged at least at one side between the 1st connecting member that connects said 3rd padthe 4th pad that connectsand said 2nd pad and said 4th padbetween said 2nd pad and said 3rd padand said 4th pad. [said 1st pad]

[Claim 2]A semiconductor integrated circuit device comprising:

It is a semiconductor integrated circuit device arrangedrespectively on a bed which carried two or more chips in one envelopeand in which these chips were divided into pluralityand is the 1st bed.

The 1st chip arranged on said 1st bed.

The 2nd bed arranged by separating from said 1st bed.

The 2nd chip arranged on said 2nd bedand the 1st pad that is arranged on said 1st chip and connected to the 1st GND pinThe 2nd pad that is arranged on said 1st chip and connects with said 1st padThe 3rd pad that is arranged on said 2nd chip and connected to the 2nd GND pinA protection circuit which has been arranged on said 2nd chip and has been arranged at least at one side between the 1st connecting member that connects said 3rd padthe 4th pad that connectsand said 2nd pad and said 4th padbetween said 2nd pad and said 3rd padand said 4th pad. [said 1st pad]

[Claim 3]The semiconductor integrated circuit device according to claim 1 or 2wherein frequency to be used differs between said 1st chip and said 2nd chip.

[Claim 4]The semiconductor integrated circuit device according to claim 1 or 2wherein a supply voltage value differs between said 1st chip and said 2nd chip.

[Claim 5]The semiconductor integrated circuit device according to claim 1 or 2wherein a supply voltage value differs between said 1st chip and said 2nd chip more than twice.

[Claim 6]The semiconductor integrated circuit device according to claim 1 or 2wherein one of a power supply and timing of OFF differ between said 1st chip and said 2nd chip.

[Claim 7]The semiconductor integrated circuit device according to claim 1 or 2 with which one side of said 1st chip and said 2nd chip is characterized by another side of said 1st chip and said 2nd chip using a digital signal using an analog signal.

[Claim 8]The semiconductor integrated circuit device according to claim 1 or 2wherein said 1st connecting member is either a connecting member by bonding wirea TAB tapeand BGA techniqueand a wiring board.

[Claim 9]The semiconductor integrated circuit device according to claim 1 or 2wherein said 1st connecting member is either of the connecting members by bonding wirea TAB tapeand BGA technique.

[Claim 10]The semiconductor integrated circuit device according to claim 1 or

2wherein said 1st connecting member is a bonding wire.

[Claim 11]The 5th pad that is arranged on said 1st chip and connected to said 2nd chipThe semiconductor integrated circuit device according to claim 1 or 2 providing further the 2nd connecting member that connects the 6th pad that is arranged on said 2nd chip and connected to said 1st chipand said 5th pad and said 6th pad.

[Claim 12]The 1st internal circuit unit it is arranged on said 1st chip and connected to said 1st pad and said 5th padThe semiconductor integrated circuit device according to claim 11 providing further the 2nd internal circuit unit it is arranged on said 2nd chip and connected to said 3rd pad and said 6th pad.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the semiconductor integrated circuit device with which two or more chips have been arrangedrespectivelyand were accumulated by one envelope on the bed divided into plurality.

[0002]

[Description of the Prior Art]when improvement in the accumulation art of a semiconductor and assembly art progressed in recent yearscarrying out packaging of two or more chips to one envelope collectively is often performed increasingly. When it carries in a chip several circuits where performances differin order to avoid interferencethe chip which carries the circuit where performances differ on the separated bed is arrangedrespectively. The conventional technology of such a semiconductor integrated circuit device is explained below.

[0003]Drawing 9 shows the lineblock diagram of the semiconductor integrated circuit device which comprised two chips by conventional technology. As shown in drawing 9the 1st bed 11a and the 2nd bed 11b are arranged on the substrate 10respectivelyand the 1st chip 12a and the 2nd chip 12b with which circuit performances differ on these 1st beds 11a and the 2nd bed 11b are arrangedrespectively. In the 1st chip 12athe 1st internal circuit unit 13a is arrangedand the pads 14a and 15a are connected to this 1st internal circuit unit 13arespectively. The pad 14a is connected to a power pin (not shown) by the bonding wire 16aand the pad 15a is connected to a GND pin (not shown) by the bonding wire 18a. Similarlyin the 2nd chip 12bthe 2nd internal circuit unit 13b is arrangedand the pads 14b and 15b are connected to this 2nd internal circuit unit 13brespectively. The pad 14b is connected to a power pin (not shown) by the bonding wire 16band the pad 15b is connected to a GND pin (not shown) by the bonding wire 18b. And in order to transmit a signal between the 1st chip 12a and the 2nd chip 12bthe pad 20a linked to the 1st internal circuit unit 13a and the pad 20b linked to the 2nd internal circuit unit

13b are connected by the bonding wire 21.

[0004]

[Problem(s) to be Solved by the Invention]In the semiconductor integrated circuit device by the above-mentioned conventional technologyin order to avoid interference between each chip 12a and 12btwo or more chips 12a and 12b have been divided and arranged by separating the beds 11a and 11b. As a resultthe electrostatic discharge mode which did not exist in one envelope with the composition which has arranged only one chip arose. This electrostatic discharge mode is that electrostatic discharge occurs between the pin which comes out of the envelope connected to the pad in a certain chip among two or more chipsand the pin which comes out of the envelope connected to the pad in other chips. When such electrostatic discharge mode happensinstant discharge current and voltage which were generated with static electricity ranging over between chips flow into an internal circuitand there is a problem that degradation and destruction of the element in this circuit arise.

[0005]For exampleit is based on the GND pin connected with the pad 15b on the 2nd chip 12bSince the 1st chip 12a and 2nd chip 12b are connected by the bonding wire 21 when electrostatic discharge occurs in the pad 14a connected with the power pin of the internal circuit unit 13a in the 1st chip 12aThe instant discharge current generated in the 1st chip 12a and voltage will flow into the 2nd chip 12b through the course 60 shown in drawing 9. And the current which flowed into this 2nd chip 12band voltage were impressed to the circuit for realizing the circuitry and the characteristic which are required of the internal circuit unit 13b of the 2nd chip 12b.i.e.an integrated circuitand there was a problem that the characteristic degradation and destruction of a circuit element will arise.

[0006]There is a place which it is made in order that this invention may solve an aforementioned problemand is made into the purpose in providing the semiconductor integrated circuit device which can prevent the performance degradation of a circuitand destruction.

[0007]

[Means for Solving the Problem]In order to attain said purposea means shown below is used for this invention.

[0008]A semiconductor integrated circuit device by the 1st viewpoint of this inventionAre a semiconductor integrated circuit device which carries two or more chips in one envelopeand The 1st chipSaid 1st chipthe 2nd chip arranged independently electricallyand the 1st pad that is arranged on said 1st chip and connected to the 1st GND pinThe 2nd pad that is arranged on said 1st chip and connects with said 1st padThe 3rd pad that is arranged on said 2nd chip and connected to the 2nd GND pinThe 4th pad that is arranged on said 2nd chip and connects with said 3rd padA protection circuit arranged at least at one side between the 1st connecting member that connects said 2nd pad and said 4th padbetween said 2nd pad and said 3rd padand said 4th pad is provided. [said 1st pad]

[0009]A semiconductor integrated circuit device by the 2nd viewpoint of this inventionCarry two or more chips in one envelopeand on a bed divided into pluralitythese chips are the semiconductor integrated circuit devices arrangedrespectivelyand The 1st bedThe 1st chip arranged on said 1st bedand the 2nd bed arranged by separating from said 1st bedThe 2nd chip arranged on said 2nd bedand the 1st pad that is arranged on said 1st chip and connected to the 1st GND pinThe 2nd pad that is arranged on said 1st chip and connects with said 1st padThe 3rd pad that is arranged on said 2nd chip and connected to the 2nd GND pinThe 4th pad that is arranged on said 2nd chip and connects with said 3rd padA protection circuit arranged at least at one side between the 1st connecting member that connects said 2nd pad and said 4th padbetween said 2nd pad and said 3rd padand said 4th pad is provided. [said 1st pad]

[0010]

[Embodiment of the Invention]The semiconductor integrated circuit device concerning an embodiment of the inventionOn the bed divided into pluralitytwo or more chips are arrangedrespectivelyone envelope is accumulatedand it makes it possible to avoid that degradation and destruction of an element arise by missing the instant current generated by electrostatic dischargeand voltage via a protection circuit.

[0011]An embodiment of the invention is described with reference to drawings below. On the occasion of this explanationa common reference mark is given to the portion which crosses and is common in a complete diagram.

[0012][A 1st embodiment] A 1st embodiment is the example which provided the protection circuit on two or more chipsrespectivelyin order to miss instant current and voltage which were generated by electrostatic discharge.

[0013]Drawing 1 shows the rough perspective view of the semiconductor integrated circuit device concerning a 1st embodiment of this invention. Drawing 2 shows the partial enlarged drawing of the semiconductor integrated circuit device shown in drawing 1.

[0014]As shown in drawing 1 and drawing 2the 1st bed 11a and the 2nd bed 11b are arranged on the substrate 10respectivelyand the 1st chip 12a and the 2nd chip 12b with which circuit performances differ on these 1st beds 11a and the 2nd bed 11b are arrangedrespectively. In the 1st chip 12athe 1st internal circuit unit 13a is arrangedand the pads 14a and 15a are connected to this 1st internal circuit unit 13arespectively. The pad 14a is connected to the power pin 17a by the bonding wire 16aand the pad 15a is connected to the GND pin 19a by the bonding wire 18a. Similarlyin the 2nd chip 12bthe 2nd internal circuit unit 13b is arrangedand the pads 14b and 15b are connected to this 2nd internal circuit unit 13brespectively. The pad 14b is connected to the power pin 17b by the bonding wire 16band the pad 15b is connected to the GND pin 19b by the bonding wire 18b.

[0015]In order to transmit a signal between the 1st chip 12a and the 2nd chip 12bthe pad 20a linked to the 1st internal circuit unit 13a and the pad 20b linked to the 2nd

internal circuit unit 13b are connected by the bonding wire 21.

[0016]The 1st protection circuit 22a is connected to the pad 15a of the 1st chip 12a and the pad 23a is connected to this 1st protection circuit 22a. Similarly the 2nd protection circuit 22b is connected to the pad 15b of the 2nd chip 12b and the pad 23b is connected to this 1st protection circuit 22b. And the pad 23a and the pad 23b are connected by the bonding wire 24.

[0017]Here the protection circuits 22a and 22b are arranged at the peripheral part of each chips 12a and 12b so that it may be arranged at the outside of the internal circuit units 13a and 13b of each chips 12a and 12b. In order to miss current and voltage by static electricity using the protection course 25 resistance of area A needs to be lower than resistance of area B.

[0018]Since the substrate of each chip short-circuits on the bed when the bed is not divided into plurality the substrate of each chip short-circuits electrically on the same bed and the substrate of each chip stops being in an independent state electrically in wirebonding. On the other hand in a 1st embodiment of this invention the substrate of the 1st and 2nd chips 12a and 12b is electrically changed into the independent state by forming the separated beds 11a and 11b and arranging the 1st and 2nd chips 12a and 12b on this bed 11a and 11b respectively. In other words the substrate of each chips 12a and 12b does not short-circuit directly with electric wiring. Since the 1st and 2nd chips 12a and 12b have different circuit performance as shown below this is for avoiding the fault by the difference in this circuit performance.

[0019]For example the frequency used with the 1st chip 12a and 2nd chip 12b differs. The supply voltage values of the 1st chip 12a and the 2nd chip 12b differ more than twice [at least] so that the power supply voltage of the 1st chip 12a may be [the power supply voltage of 10V and the 2nd chip 12a] 100V. One [the chip / the 1st chip 12a and 2nd chip 12b differ in one of a power supply and the timing of OFF when the 1st chip 12a is on the 2nd chip 12b one / the chip / or turns off / the 2nd chip 12b] when the 1st chip 12a is OFF. In another side of the 1st chip 12a and the 2nd chip 12b one side of the 1st chip 12a and the 2nd chip 12b may use a digital signal using an analog signal.

[0020]The 1st and 2nd internal circuit unit 13a and 13b is a circuit which realizes the circuitry required of an integrated circuit and the characteristic.

[0021]Drawing 3 thru/or drawing 5 show the concrete lineblock diagram of the protection circuit concerning a 1st embodiment of this invention. The protection circuits 22a and 22b may be which structures of the structure shown in drawing 3 thru/or drawing 5 and especially in order to attain the purpose their structure shown in drawing 3 (a) and drawing 4 (a) is preferred.

[0022]As shown in drawing 3 (a) the protection circuits 22a and 22b may comprise the two diodes 31 and 32 by which multiple connection was carried out. As shown in drawing 3 (b) multiple connection of two or more diodes 31 and 33 to which the series connection of the protection circuits 22a and 22b was carried out and two or more

diodes 32 and 34 by which the series connection was carried out may be carried out. [0023]As shown in drawing 4 (a)multiple connection of the transistor 41 to which the series connection of the protection circuits 22a and 22b was carried out and the resistance 42and the transistor 43 and the resistance 44 by which the series connection was carried out may be carried out. As shown in drawing 4 (b)multiple connection of the transistors 41 and 45 to which the series connection of the protection circuits 22a and 22b was carried out and the resistance 42 and 46and the transistors 43 and 47 and the resistance 44 and 48 by which the series connection was carried out may be carried out.

[0024]As shown in drawing 5 (a)the protection circuits 22a and 22b may comprise the two transistors 51 and 52 by which multiple connection was carried out. As shown in drawing 5 (b)multiple connection of two or more transistors 51 and 53 to which the series connection of the protection circuits 22a and 22b was carried outand two or more transistors 52 and 54 by which the series connection was carried out may be carried out.

[0025]Since the 1st protection circuit 22a – pad 23a – bonding wire 24 – pad 23b – 2nd protection circuit 22b are arranged between the pad 15a connected with the GND pins 19a and 19band 15b according to a 1st embodiment of the abovethe following effects are acquired.

[0026]For examplethe case where electrostatic discharge occurs in the pad 14a connected with the power pin 17a of the internal circuit unit 13a which is in the 1st chip 12a on the basis of the pad 15b connected with the GND pin 19b of the 2nd chip 12b is assumed. In this casecurrent and voltage by the static electricity generated in the 1st chip 12a since the protection course 25 shown with the wavy line of drawing 2 was formed in a 1st embodimentIt can miss to the GND pin 19b of the 2nd chip 12b through the protection course 25without flowing into the 2nd chip 12b via the bonding wire 21. That isit can be made to discharge to the exteriorwithout impressing instant current and voltage to the internal circuit unit 13b of the 2nd chip 12b.

[0027]Thusin a 1st embodimenteven if it is a case where the electrostatic discharge mode over two or more chips arisesdegradation and destruction of an element in an internal circuit are avoidable. For this reasonin the time of use of the electric product by which the manufacturing process of an integrated circuitthe manufacturing process of the electric product by which an integrated circuit is carriedand an integrated circuit are carried even if it was a case where electrostatic discharge occurredetc.Degradation of the performance of an electric product and the problem of an element breakdown that an integrated circuit and this integrated circuit were carried are avoidable. Thereforethe reliability over the electrostatic discharge of a semiconductor integrated circuit device can be improved.

[0028]The protection circuits 22a and 22b can be formed with easy compositionas shown in drawing 3 thru/or drawing 5and also they do not need complicated connection of the protection circuits 22a and 22b in formation of the protection

course 25. For this reason manufacture of a semiconductor integrated circuit device is easy and can lower the manufacturing cost of a semiconductor integrated circuit device.

[0029] Although the case where two chips were carried was mentioned as the example in a 1st embodiment and it explained that two or more chips may be carried. For example, the 1st pad that connects between chips and the 2nd pad connected to a GND pin are provided on each chip respectively. It connects by a bonding wire and the 1st pad of each chip should just provide a protection circuit between the 1st pad and the 2nd pad. Also in this case the same effect as a 1st embodiment of the above can be acquired.

[0030] [A 2nd embodiment] In the semiconductor integrated circuit device shown by a 1st embodiment, a 2nd embodiment omits the protection circuit on one chip and shortens a protection course.

[0031] Drawing 6 and drawing 7 show the top view of the semiconductor integrated circuit device concerning a 2nd embodiment of this invention. Below the semiconductor integrated circuit device concerning a 2nd embodiment is explained. With the semiconductor integrated circuit device concerning this 2nd embodiment, the same structure as the semiconductor integrated circuit device concerning a 1st embodiment of the above omits explanation and explains only a different structure.

[0032] First, the structure shown in drawing 6 loses the protection circuit 22a arranged on the 1st chip 12a by a 1st embodiment and is carrying out direct continuation of the pad 15a connected with a GND pin (not shown) and the chip 12a and the pad 23a which connects between 12b. Therefore, between the pad 15a connected with a GND pin and 15b, the pad 23a – the bonding wire 24 – the pad 23b – the protection circuit 22b are arranged.

[0033] On the other hand, the structure shown in drawing 7 loses the protection circuit 22b arranged on the 2nd chip 12b by a 1st embodiment and is carrying out direct continuation of the pad 15b connected with a GND pin (not shown) and the chip 12a and the pad 23b which connects between 12b. Therefore, between the pad 15a connected with a GND pin and 15b, the protection circuit 22a – the pad 23a – the bonding wire 24 – the pad 23b are arranged.

[0034] According to a 2nd embodiment of the above, the same effect as a 1st embodiment can be acquired.

[0035] Compared with a 1st embodiment, the protection course 25 can be formed in few protection circuits. For this reason, it becomes easier to carry out discharge in the protection course 25 and degradation of the circuit element by electrostatic discharge and destruction can be avoided.

[0036] In addition, this invention is not limited to each above-mentioned embodiment and it is a range which does not deviate from the gist and many things are boiled and it can be changed at an execution phase. That is, although the connection between pads was mentioned as the example in 1st and 2nd embodiments of the above and explained

the case where a bonding wire was used by the connecting member is not limited to a bonding wire. For example, connection between pads may be made using the TAB tape by the TAB (Tape Automated Bonding) art shown in drawing 8 (a) and drawing 8 (b) or the connecting member by BGA (Ball Grid Array) art. It is also possible to connect between pads using a wiring board.

[0037] The invention of various stages is included in the above-mentioned embodiment and various inventions may be extracted by the proper combination in two or more constituent features indicated. For example, even if some constituent features are deleted from all the constituent features shown in an embodiment, the technical problem described in the column of Object of the Invention is solvable and when the effect described in the column of the effect of the invention is acquired, the composition from which these constituent features were deleted may be extracted as an invention.

[0038]

[Effect of the Invention] As explained above according to this invention, the semiconductor integrated circuit device which can prevent the performance degradation of a circuit and destruction can be provided.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The rough perspective view showing the semiconductor integrated circuit device concerning a 1st embodiment of this invention.

[Drawing 2] The partial enlarged drawing of the semiconductor integrated circuit device shown in drawing 1.

[Drawing 3] The circuit diagram showing the example of the protection circuit concerning a 1st embodiment of this invention.

[Drawing 4] The circuit diagram showing the example of the protection circuit concerning a 1st embodiment of this invention.

[Drawing 5] The circuit diagram showing the example of the protection circuit concerning a 1st embodiment of this invention.

[Drawing 6] The rough top view showing the semiconductor integrated circuit device concerning a 2nd embodiment of this invention.

[Drawing 7] The rough top view showing other semiconductor integrated circuit devices concerning a 2nd embodiment of this invention.

[Drawing 8] As for drawing 8 (a), drawing 8 (b) is a rough top view showing the semiconductor integrated circuit device using TAB concerning 1st and 2nd embodiments of this invention and a sectional view of the semiconductor integrated circuit device which met the VIIIb-VIIIb line shown in drawing 8 (a).

[Drawing 9] The rough top view showing the semiconductor integrated circuit device

by conventional technology.

[Description of Notations]

10 -- Substrate

11a11b -- Bed

12a12b -- Chip

13a13b -- The internal circuit unit

14a14b15a15b20a20b23a23b -- Pad

16a16b18a18b2124 -- Bonding wire

17a17b -- Power pin

19a19 b--GND pin

22a22b -- Protection circuit

25 -- Protection course.

【特許請求の範囲】

【請求項１】 １つの外囲器に複数のチップを搭載した半導体集積回路装置であって、

第１のチップと、

前記第１のチップと電氣的に独立して配置された第２のチップと、

前記第１のチップ上に配置され、第１のＧＮＤピンへつながる第１のパッドと、

前記第１のチップ上に配置され、前記第１のパッドと接続する第２のパッドと、

前記第２のチップ上に配置され、第２のＧＮＤピンへつながる第３のパッドと、

前記第２のチップ上に配置され、前記第３のパッドと接続する第４のパッドと、

前記第２のパッドと前記第４のパッドとを接続する第１の接続部材と、

前記第１のパッドと前記第２のパッド間、前記第３のパッドと前記第４のパッド間の少なくとも一方に配置された保護回路とを具備することを特徴とする半導体集積回路装置。

【請求項２】 １つの外囲器に複数のチップを搭載し、これらチップが複数に分離されたベッド上にそれぞれ配置された半導体集積回路装置であって、

第１のベッドと、

前記第１のベッド上に配置された第１のチップと、

前記第１のベッドと分離して配置された第２のベッドと、

前記第２のベッド上に配置された第２のチップと、

前記第１のチップ上に配置され、第１のＧＮＤピンへつながる第１のパッドと、

前記第１のチップ上に配置され、前記第１のパッドと接続する第２のパッドと、

前記第２のチップ上に配置され、第２のＧＮＤピンへつながる第３のパッドと、

前記第２のチップ上に配置され、前記第３のパッドと接続する第４のパッドと、

前記第２のパッドと前記第４のパッドとを接続する第１の接続部材と、

前記第１のパッドと前記第２のパッド間、前記第３のパッドと前記第４のパッド間の少なくとも一方に配置された保護回路とを具備することを特徴とする半導体集積回路装置。

【請求項３】 前記第１のチップと前記第２のチップは、使用する周波数が異なることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項４】 前記第１のチップと前記第２のチップは、電源電圧値が異なることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項５】 前記第１のチップと前記第２のチップは、電源電圧値が２倍以上異なることを特徴とする請求項

項１又は２に記載の半導体集積回路装置。

【請求項６】 前記第１のチップと前記第２のチップは、電源のオン、オフのタイミングが異なることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項７】 前記第１のチップと前記第２のチップの一方はアナログ信号を用い、前記第１のチップと前記第２のチップの他方はデジタル信号を用いることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項８】 前記第１の接続部材は、ボンディングワイヤ、ＴＡＢテープ、ＢＧＡ技術による接続部材及び配線基板のいずれかであることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項９】 前記第１の接続部材は、ボンディングワイヤ、ＴＡＢテープ及びＢＧＡ技術による接続部材のいずれかであることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項１０】 前記第１の接続部材は、ボンディングワイヤであることを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項１１】 前記第１のチップ上に配置され、前記第２のチップへつながる第５のパッドと、前記第２のチップ上に配置され、前記第１のチップへつながる第６のパッドと、前記第５のパッドと前記第６のパッドとを接続する第２の接続部材とをさらに具備することを特徴とする請求項１又は２に記載の半導体集積回路装置。

【請求項１２】 前記第１のチップ上に配置され、前記第１のパッド及び前記第５のパッドに接続する第１の内部回路部と、前記第２のチップ上に配置され、前記第３のパッド及び前記第６のパッドに接続する第２の内部回路部とをさらに具備することを特徴とする請求項１１に記載の半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、複数に分離されたベッド上に複数のチップがそれぞれ配置されて１つの外囲器に集積された半導体集積回路装置に関する。

【０００２】

【従来の技術】近年、半導体の集積技術の向上やアセンブリ技術が進んだことにより、複数のチップをまとめて一つの外囲器へパッケージングすることが、しばしば行われるようになってきている。また、チップに性能の異なる複数の回路を搭載する場合は、干渉を避けるために、分離されたベッドに性能の異なる回路を搭載したチップがそれぞれ配置される。このような半導体集積回路装置の従来技術を以下に説明する。

【０００３】図９は、従来技術による２チップで構成された半導体集積回路装置の構成図を示す。図９に示すように、基板１の上に第１のベッド１１と、第２のベッド

11bがそれぞれ配置され、これら第1のベッド11a、第2のベッド11b上に回路性能の異なる第1のチップ12a、第2のチップ12bがそれぞれ配置される。第1のチップ12a内には第1の内部回路部13aが配置され、この第1の内部回路部13aにはパッド14a、15aがそれぞれ接続される。パッド14aはボンディングワイヤ16aで電源ピン（図示せず）に接続され、パッド15aはボンディングワイヤ18aでGNDピン（図示せず）に接続される。同様に、第2のチップ12b内には第2の内部回路部13bが配置され、この第2の内部回路部13bにはパッド14b、15bがそれぞれ接続される。パッド14bはボンディングワイヤ16bで電源ピン（図示せず）に接続され、パッド15bはボンディングワイヤ18bでGNDピン（図示せず）に接続される。そして、第1のチップ12aと第2のチップ12bとの間で信号を伝達するために、第1の内部回路部13aに接続するパッド20aと第2の内部回路部13bに接続するパッド20bとが、ボンディングワイヤ21で接続される。

【0004】

【発明が解決しようとする課題】上記従来技術による半導体集積回路装置では、各チップ12a、12b間での干渉を避けるために、ベッド11a、11bを分離することにより複数のチップ12a、12bを分けて配置した。この結果、1つの外囲器内に1チップのみを配置した構成では存在しなかった静電放電モードが生じた。この静電放電モードとは、複数のチップのうち、あるチップ内のパッドに接続された外囲器の外に出るピンと、他のチップ内のパッドに接続された外囲器の外に出るピンとの間で、静電放電が発生してしまうことである。このような静電放電モードが起これば、チップ間にまたがって静電気により発生した瞬時的な放電電流や電圧が内部回路に流れ込み、この回路内の素子の劣化や破壊が生じするという問題がある。

【0005】例えば、第2のチップ12b上のパッド15bにつながるGNDピンを基準として、第1のチップ12aにある内部回路部13aの電源ピンにつながるパッド14aに静電放電が発生した場合、第1のチップ12aと第2のチップ12bはボンディングワイヤ21で接続されているため、第1のチップ12a内に発生した瞬時的な放電電流や電圧は、図9に示す経路60を通過して第2のチップ12bに流れ込んでしまう。そして、この第2のチップ12bに流れ込んだ電流や電圧は、第2のチップ12bの内部回路部13b、すなわち半導体集積回路に要求される回路機能や特性を実現するための回路に印加して、回路素子の特性劣化や破壊が生じてしまうという問題があった。

【0006】本発明は上記課題を解決するためになされたものであり、その目的とするところは、回路の性能劣化や破壊を防止し、素子が可能な半導体集積回路装置

を提供することにある。

【0007】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0008】本発明の第1の視点による半導体集積回路装置は、1つの外囲器に複数のチップを搭載した半導体集積回路装置であって、第1のチップと、前記第1のチップと電気的に独立して配置された第2のチップと、前記第1のチップ上に配置され、第1のGNDピンへつながる第1のパッドと、前記第1のチップ上に配置され、前記第1のパッドと接続する第2のパッドと、前記第2のチップ上に配置され、第2のGNDピンへつながる第3のパッドと、前記第2のチップ上に配置され、前記第3のパッドと接続する第4のパッドと、前記第2のパッドと前記第4のパッドとを接続する第1の接続部材と、前記第1のパッドと前記第2のパッド間、前記第3のパッドと前記第4のパッド間の少なくとも一方に配置された保護回路とを具備する。

【0009】本発明の第2の視点による半導体集積回路装置は、1つの外囲器に複数のチップを搭載し、これらチップが複数に分離されたベッド上にそれぞれ配置された半導体集積回路装置であって、第1のベッドと、前記第1のベッド上に配置された第1のチップと、前記第1のベッドと分離して配置された第2のベッドと、前記第2のベッド上に配置された第2のチップと、前記第1のチップ上に配置され、第1のGNDピンへつながる第1のパッドと、前記第1のチップ上に配置され、前記第1のパッドと接続する第2のパッドと、前記第2のチップ上に配置され、第2のGNDピンへつながる第3のパッドと、前記第2のチップ上に配置され、前記第3のパッドと接続する第4のパッドと、前記第2のパッドと前記第4のパッドとを接続する第1の接続部材と、前記第1のパッドと前記第2のパッド間、前記第3のパッドと前記第4のパッド間の少なくとも一方に配置された保護回路とを具備する。

【0010】

【発明の実施の形態】本発明の実施の形態に係る半導体集積回路装置は、複数に分離されたベッド上に複数のチップがそれぞれ配置されて1つの外囲器に集積されたものであり、静電放電により発生した瞬時的な電流や電圧を、保護回路を経由して逃がすことで、素子の劣化や破壊が生じることを回避することを可能にしたものである。

【0011】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】〔第1の実施形態〕第1の実施形態は、静電放電により発生した瞬時的な電流や電圧を逃がすために、複数のチップ上に保護回路をそれぞれ設けた例である。

【0013】図1は、本発明の第1の実施形態に係る半導体集積回路装置の概略的な斜視図を示す。図2は、図1に示す半導体集積回路装置の一部拡大図を示す。

【0014】図1、図2に示すように、基板10上に第1のベッド11a、第2のベッド11bがそれぞれ配置され、これら第1のベッド11a、第2のベッド11b上に回路性能の異なる第1のチップ12a、第2のチップ12bがそれぞれ配置される。第1のチップ12a内には第1の内部回路部13aが配置され、この第1の内部回路部13aにはパッド14a、15aがそれぞれ接続される。パッド14aはボンディングワイヤ16aで電源ピン17aに接続され、パッド15aはボンディングワイヤ18aでGNDピン19aに接続される。同様に、第2のチップ12b内には第2の内部回路部13bが配置され、この第2の内部回路部13bにはパッド14b、15bがそれぞれ接続される。パッド14bはボンディングワイヤ16bで電源ピン17bに接続され、パッド15bはボンディングワイヤ18bでGNDピン19bに接続される。

【0015】第1のチップ12aと第2のチップ12bとの間で信号を伝達するために、第1の内部回路部13aに接続するパッド20aと第2の内部回路部13bに接続するパッド20bとが、ボンディングワイヤ21で接続される。

【0016】第1のチップ12aのパッド15aに第1の保護回路22aが接続され、この第1の保護回路22aにパッド23aが接続される。同様に、第2のチップ12bのパッド15bに第2の保護回路22bが接続され、この第2の保護回路22bにパッド23bが接続される。そして、パッド23aとパッド23bとがボンディングワイヤ24で接続される。

【0017】ここで、保護回路22a、22bは、各チップ12a、12bの内部回路部13a、13bの外側に配置されるように、各チップ12a、12bの外周部に配置される。また、保護経路25を用いて静電気による電流や電圧を逃がすためには、A領域の抵抗はB領域の抵抗よりも低いことが必要である。

【0018】尚、ワイヤボンディングでは、各チップの基板はベッドにショートされているため、ベッドが複数に分かれていない場合は各チップの基板が同一のベッドで電氣的にショートされ、各チップの基板は電氣的に独立な状態でなくなる。これに対し、本発明の第1の実施形態では、分離されたベッド11a、11bを設け、このベッド11a、11b上に第1及び第2のチップ12a、12bをそれぞれ配置することにより、第1及び第2のチップ12a、12bの基板を電氣的に独立な状態にしている。言い換えると、各チップ12a、12bの基板が電氣的配線で直接ショートされていない。これは、第1及び第2のチップ12a、12bが、以下に示すような異なる回路性能を有するチップからなる回路性能の異なりによる不具合を回避するためである。

【0019】例えば、第1のチップ12aと第2のチップ12bとで使用する周波数が異なる。また、第1のチップ12aの電源電圧が10V、第2のチップ12aの電源電圧が100Vであるように、第1のチップ12aと第2のチップ12bの電源電圧値が少なくとも2倍以上異なる。また、第1のチップ12aと第2のチップ12bとは電源のオン、オフのタイミングが異なり、第1のチップ12aがオンの時に第2のチップ12bがオン又はオフしたり、第1のチップ12aがオフの時に第2のチップ12bがオンしたりする。また、第1のチップ12aと第2のチップ12bの一方はアナログ信号を用い、第1のチップ12aと第2のチップ12bの他方はデジタル信号を用いる場合もある。

【0020】また、第1、第2の内部回路部13a、13bは、半導体集積回路に要求される回路機能や特性を実現する回路である。

【0021】図3乃至図5は、本発明の第1の実施形態に係る保護回路の具体的な構成図を示す。尚、保護回路22a、22bは、図3乃至図5に示す構造のいずれの構造であってもよく、目的を達成するためには、特に、図3(a)や図4(a)に示す構造が好ましい。

【0022】図3(a)に示すように、保護回路22a、22bは、並列接続された2つのダイオード31、32で構成されてもよい。また、図3(b)に示すように、保護回路22a、22bは、直列接続された複数のダイオード31、33と、直列接続された複数のダイオード32、34とが並列接続されてもよい。

【0023】図4(a)に示すように、保護回路22a、22bは、直列接続されたトランジスタ41及び抵抗42と、直列接続されたトランジスタ43及び抵抗44とが並列接続されてもよい。また、図4(b)に示すように、保護回路22a、22bは、直列接続されたトランジスタ41、45及び抵抗42、46と、直列接続されたトランジスタ43、47及び抵抗44、48とが並列接続されてもよい。

【0024】図5(a)に示すように、保護回路22a、22bは、並列接続された2つのトランジスタ51、52で構成されてもよい。また、図5(b)に示すように、保護回路22a、22bは、直列接続された複数のトランジスタ51、53と、直列接続された複数のトランジスタ52、54とが並列接続されてもよい。

【0025】上記第1の実施形態によれば、GNDピン19a、19bにつながるパッド15a、15b間に、第1の保護回路22a～パッド23a～ボンディングワイヤ24～パッド23b～第2の保護回路22bが配置されているため、次のような効果が得られる。

【0026】例えば、第2のチップ12bのGNDピン19bにつながるパッド15bを基準として、第1のチップ12aにある内部回路部13aの電源ピン17aに

つながるパッド14aに静電放電が発生した場合を想定する。この場合、第1の実施形態では、図2の波線で示す保護経路25が形成できるため、第1のチップ12a内に発生した静電気による電流や電圧は、ボンディングワイヤ21を介して第2のチップ12bに流れ込まずに、保護経路25を通して第2のチップ12bのGNDピン19bへ逃がすことができる。つまり、第2のチップ12bの内部回路部13bに瞬時的な電流、電圧が印加されることなく、外部へ放電させることができる。

【0027】このように、第1の実施形態では、複数のチップにまたがった静電放電モードが生じた場合であっても、内部回路における素子の劣化や破壊を避けることができる。このため、静電放電が発生した場合であっても、半導体集積回路の製造工程、半導体集積回路が搭載された電気製品の製造工程、半導体集積回路が搭載された電気製品の使用時等において、半導体集積回路及びこの半導体集積回路が搭載された電気製品の性能の劣化や素子破壊の問題を回避することができる。従って、半導体集積回路装置の静電放電に対する信頼性を高めることができる。

【0028】また、保護回路22a、22bは、図3乃至図5に示すように、簡単な構成で形成することができる上、保護経路25の形成にあたり保護回路22a、22bの複雑な接続を必要としない。このため、半導体集積回路装置の製造が容易であり、かつ半導体集積回路装置の製造コストを下げるができる。

【0029】尚、第1の実施形態では、2つのチップを搭載した場合を例にあげて説明したが、チップを2つ以上搭載してもよい。例えば、各チップ上に、チップ間を接続する第1のパッドと、GNDピンへつながる第2のパッドとをそれぞれ設け、各チップの第1のパッドはボンディングワイヤで接続し、第1のパッドと第2のパッド間には保護回路を設ければよい。この場合も、上記第1の実施形態と同様の効果を得ることができる。

【0030】〔第2の実施形態〕第2の実施形態は、第1の実施形態で示した半導体集積回路装置において、一方のチップ上の保護回路を省略し、保護経路を短くしたものである。

【0031】図6、図7は、本発明の第2の実施形態に係る半導体集積回路装置の平面図を示す。以下に、第2の実施形態に係る半導体集積回路装置について説明する。この第2の実施形態に係る半導体集積回路装置では、上記第1の実施形態に係る半導体集積回路装置と同様の構造は説明を省略し、異なる構造のみ説明する。

【0032】まず、図6に示す構造は、第1の実施形態で第1のチップ12a上に配置していた保護回路22aを無くし、GNDピン（図示せず）につながるパッド15aとチップ12a、12b間を接続するパッド23aとを直接接続している。従って、GNDピンにつながるパッド15a、15b間には、パッド23a～ボン

ングワイヤ24～パッド23b～保護回路22bが配置されている。

【0033】一方、図7に示す構造は、第1の実施形態で第2のチップ12b上に配置していた保護回路22bを無くし、GNDピン（図示せず）につながるパッド15bとチップ12a、12b間を接続するパッド23bとを直接接続している。従って、GNDピンにつながるパッド15a、15b間には、保護回路22a～パッド23a～ボンディングワイヤ24～パッド23bが配置されている。

【0034】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0035】さらに、第1の実施形態と比べて、少ない保護回路で保護経路25を形成することができる。このため、より保護経路25での放電がしやすくなり、静電放電による回路素子の劣化、破壊を回避することができる。

【0036】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。つまり、上記第1及び第2の実施形態では、パッド間の接続はボンディングワイヤを用いた場合を例にあげて説明したが、接続部材はボンディングワイヤに限定されない。例えば、パッド間の接続は、図8(a)及び図8(b)に示すTAB (Tape Automated Bonding) 技術によるTABテープやBGA (Ball Grid Array) 技術による接続部材を用いて行ってもよい。また、配線基板を用いてパッド間を接続することも可能である。

【0037】さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0038】

【発明の効果】以上説明したように本発明によれば、回路の性能劣化及び破壊を防止することが可能な半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体集積回路装置を示す概略的な斜視図。

【図2】図1に示す半導体集積回路装置の一部拡大図。

【図3】本発明の第1の実施形態に係る保護回路の具体例を示す回路図。

【図4】本発明の第1の実施形態に係る保護回路の具体例を示す回路図。

【図5】本発明の第1の実施形態に係る保護回路の具体例を示す回路図。

【図6】本発明の第2の実施形態に係わる半導体集積回路装置を示す概略的な平面図。

【図7】本発明の第2の実施形態に係わる他の半導体集積回路装置を示す概略的な平面図。

【図8】図8（a）は本発明の第1及び第2の実施形態に係わるTABを用いた半導体集積回路装置を示す概略的な平面図、図8（b）は図8（a）に示すVIIIb-VIIIIb線に沿った半導体集積回路装置の断面図。

【図9】従来技術による半導体集積回路装置を示す概略的な平面図。

【符号の説明】

10…基板、

11a、11b…ベッド、

12a、12b…チップ、

13a、13b…内部回路部、

14a、14b、15a、15b、20a、20b、23a、23b…パッド、

16a、16b、18a、18b、21、24…ボンディングワイヤ、

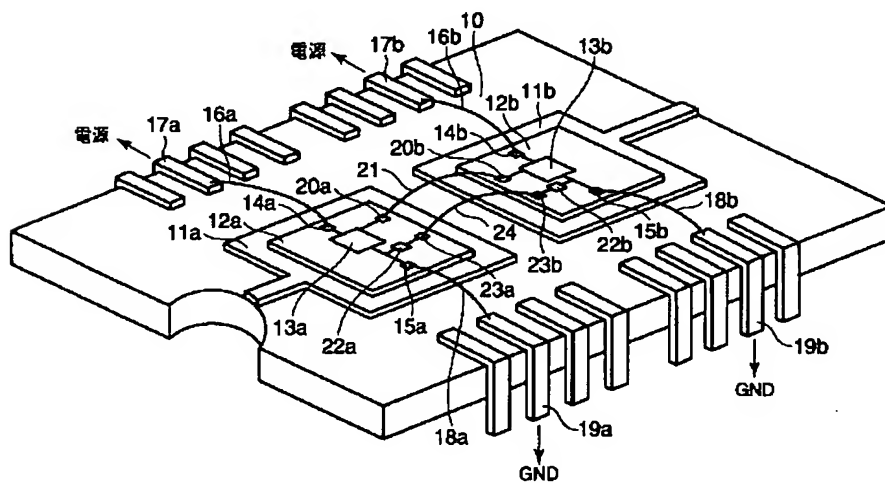
17a、17b…電源ピン、

19a、19b…GNDピン、

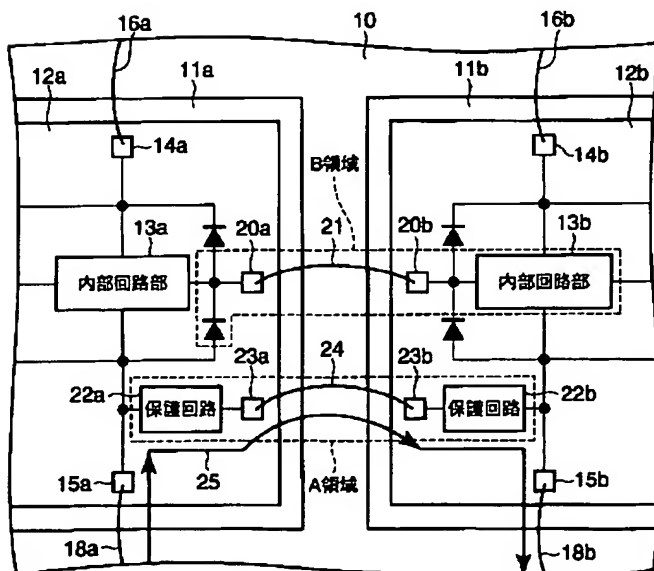
22a、22b…保護回路、

25…保護経路。

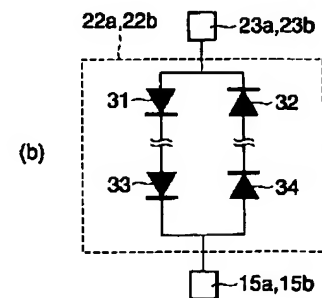
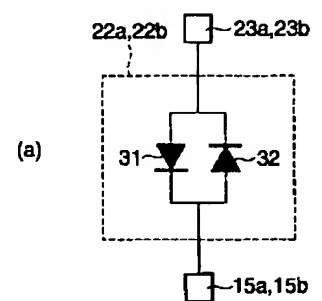
【図1】



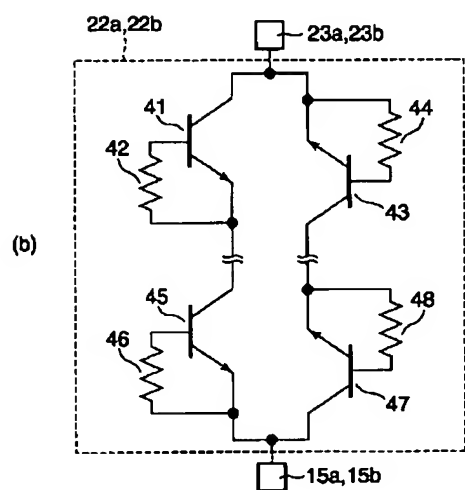
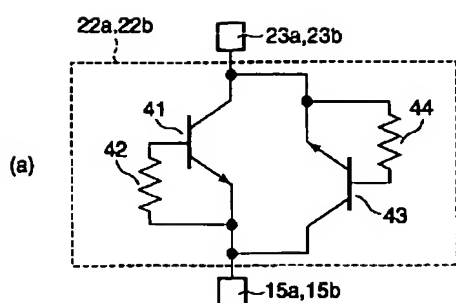
【図2】



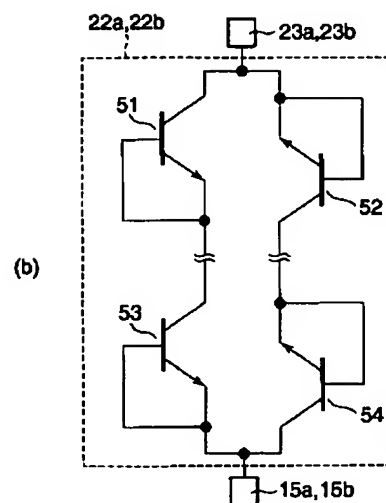
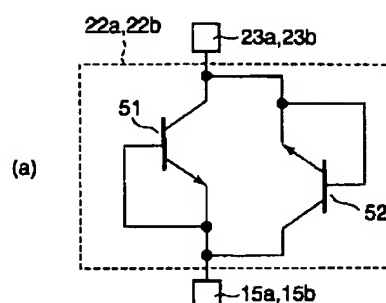
【図3】



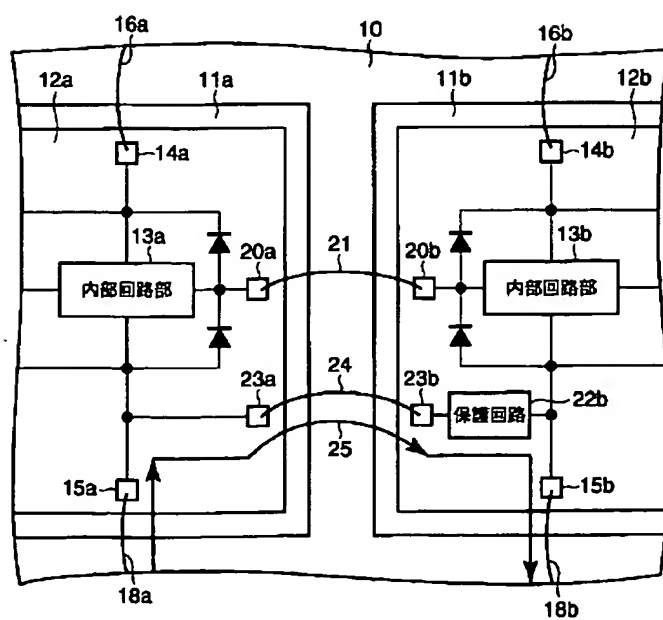
【図 4】



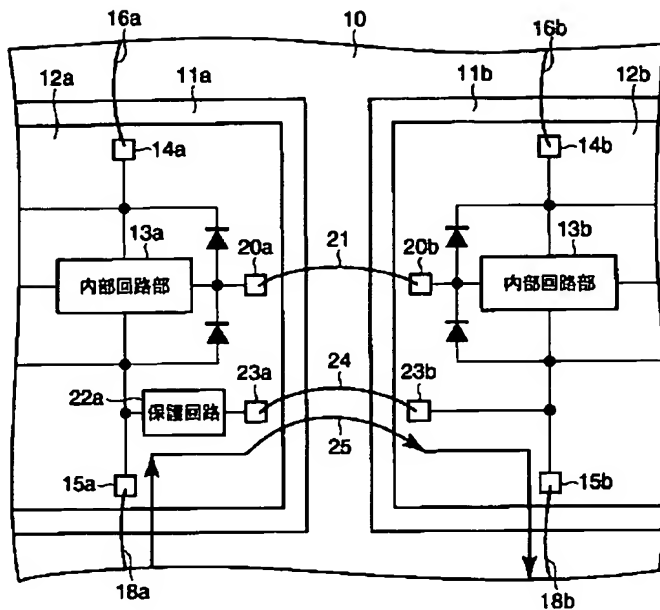
【図 5】



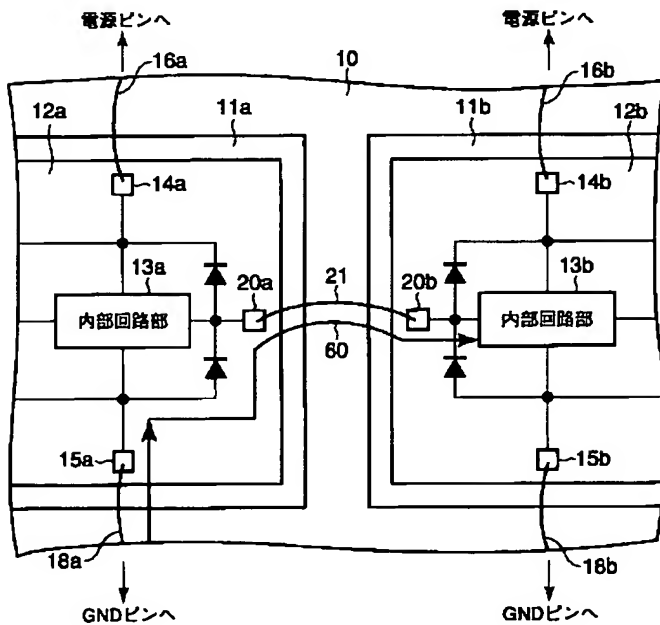
【図 6】



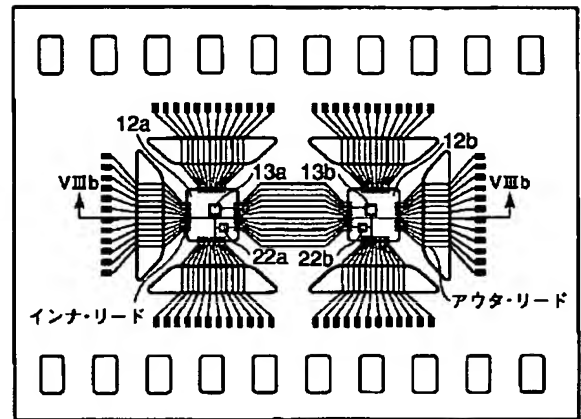
【図7】



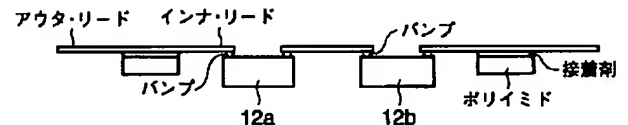
【図9】



【図8】



(a)



(b)

フロントページの続き

(72)発明者 坂井 修一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 吉井 郁夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 原 賢治
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) SF038 BE07 BH02 BH04 BH06 BH13
CA10 EZ07 EZ20
SF067 AA02